

4

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-012069

(43)Date of publication of application : 21.01.1994

(51)Int.Cl. G10H 1/00
 G10H 1/02
 G10K 15/12
 H04S 1/00

(21)Application number : 05-035862

(71)Applicant : YAMAHA CORP

(22)Date of filing : 24.02.1993

(72)Inventor : ICHIKI TETSUJI

(30)Priority

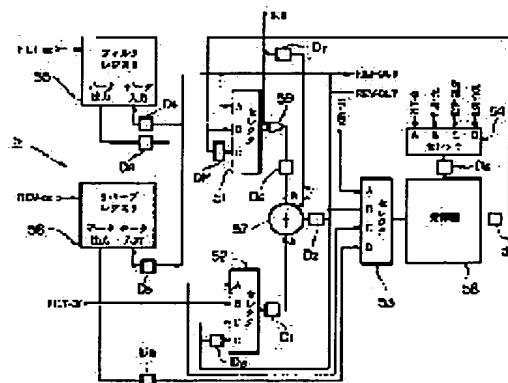
Priority number : 04 51898 Priority date : 10.03.1992 Priority country : JP

(54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

PURPOSE: To enable high-speed processing even when the use efficiency of a computing element is high and the plural kinds of different processing are performed.

CONSTITUTION: This device is provided with selectors 51-54 for selecting data to be supplied to the respective input terminals of a full adder 57 and a multiplier 58, filter and reverberate registers 55 and 56 to write/read the added result of the full adder 57, and delay elements D1-D9 and 3D to delay data interposed suitably between these filters just for prescribed time. The selection of the selectors 51-54 and the write/read of the filter register 55 and reverberate register 56 are controlled by control programs corresponding to arithmetic. The plural control programs are provided corresponding to arithmetic and perform control so as not to execute the different kinds of arithmetic at the same timing in the full adder 57 and the multiplier 58.



LEGAL STATUS

[Date of request for examination] 26.03.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2565073

[Date of registration] 03.10.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-12069

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 0 H 1/00

C 8622-5H

1/02

8622-5H

G 1 0 K 15/12

H 0 4 S 1/00

D 8421-5H

7227-5H

G 1 0 K 15/ 00

B

審査請求 未請求 請求項の数1(全 22 頁)

(21)出願番号 特願平5-35862

(22)出願日 平成5年(1993)2月24日

(31)優先権主張番号 特願平4-51898

(32)優先日 平4(1992)3月10日

(33)優先権主張国 日本(J P)

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 市来 哲二

静岡県浜松市中沢町10番1号 ヤマハ株式

会社内

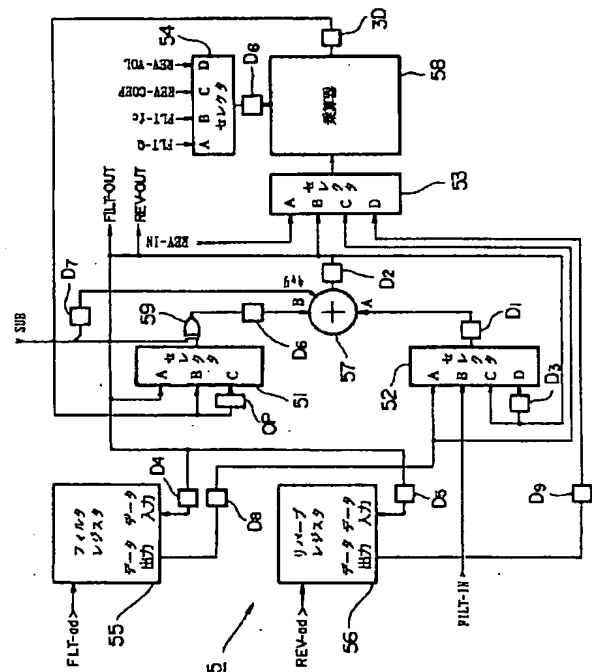
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】 デジタル信号処理装置

(57)【要約】

【目的】 演算器の使用効率が高く、複数の異なる処理を行なう場合でも高速に処理すること。

【構成】 全加算器57および乗算器58の各入力端へ供給するデータを選択するセクタ51〜54と、全加算器57による加算結果の書込・読出を行なうフィルタレジスタ55、リバープレジスタ56と、これらの間に適宜介挿されデータを所定時間だけ遅延させる遅延素子D1〜D9、3Dとを備える。演算に対応する制御プログラムによって、セクタ51〜54の選択およびフィルタレジスタ55、リバープレジスタ56の書込・読出が制御される。制御プログラムは、演算毎に対応して複数設けられ、全加算器57および乗算器58において異なる演算が同一のタイミングで行われないように制御している。



【特許請求の範囲】

【請求項1】 複数の制御プログラムを記憶する第1の記憶手段と、

前記第1の記憶手段から少なくとも2以上の制御プログラムを順次読み出し可能な読出手段と、

複数の演算器と、

前記読出手段により読み出された制御プログラムに基づき、前記演算器の各入力端へ供給するデータを選択する複数の選択器と、

前記読出手段により読み出された制御プログラムに基づき、前記演算器による演算結果データの書込・読出を行なう第2の記憶手段と、

前記第2の記憶手段、前記演算器および前記選択器の間に介挿され、データを所定時間だけ遅延させる複数の遅延手段とを具備することを特徴とするデジタル信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、例えば、電子楽器等によって生成されたデジタル楽音信号に対して、複数の効果を同時に付加する効果付加装置に用いて好適なデジタル信号処理装置に関する。

【0002】

【従来の技術】従来のデジタル信号処理装置としては、特に、電子楽器等に用いられるデジタル信号処理装置としては、例えば、特公平1-19593号公報に記載されている効果付加装置がある。この装置は、乗算器および加算器等の複数の演算器から構成され、生成したデジタル楽音信号に対して、コーラス、フランジャー等の変調効果や、残響（リバーブ）効果を付加するものである。そして、この装置は、デジタル楽音信号に対して、1サンプリング周期内において、例えば変調効果を付加した後にリバーブ効果を付加するようにしている。すなわち、この装置では、処理が順次直列的に実行されていた。

【0003】

【発明が解決しようとする課題】しかしながら、この効果付加装置では、演算器が、一方の効果を付与するための演算を行なっている間では、他方の効果を付与するための演算を行なうことができないので、演算器の待ち時間が多くなり、演算器の使用効率が悪い、という問題があった。また、この装置では、多数の異なる処理を行なうようにした場合、処理が直列的に行われるために、処理時間が長くなる、という問題もあった。この発明は上述した問題に鑑みてなされたもので、その目的とするところは、演算器の使用効率が高く、複数の異なる処理を行なう場合でも高速に処理することが可能なデジタル信号処理装置を提供することにある。

【0004】

【課題を解決するための手段】この発明は上述した問題

を解決するために、複数の制御プログラムを記憶する第1の記憶手段と、前記第1の記憶手段から少なくとも2以上の制御プログラムを順次読み出し可能な読出手段と、複数の演算器と、前記読出手段により読み出された制御プログラムに基づき、前記演算器の各入力端へ供給するデータを選択する複数の選択器と、前記読出手段により読み出された制御プログラムに基づき、前記演算器による演算結果データの書込・読出を行なう第2の記憶手段と、前記第2の記憶手段、前記演算器および前記選択器の間に介挿され、データを所定時間だけ遅延させる複数の遅延手段とを具備することを特徴としている。

【0005】

【作用】この発明によれば、演算器への入力データは、遅延手段によるデータの遅延と、演算毎に対応する制御プログラムに基づく選択器の選択と第2の記憶手段における演算結果の書込・読出とによって、混在することなく供給されるので、異なる演算結果を時分割に算出することが可能となる。したがって、複数の異なる処理を並列的に行なうことができるので、処理速度の高速化が可能になり、しかも、制御プログラムによっては、演算器の使用効率を100%とすることができる。

【0006】

【実施例】以下、図面を参照してこの発明による一実施例について説明する。この実施例のデジタル信号処理装置は、電子楽器におけるフィルタ処理とリバーブ効果付加処理とを行なう効果付加装置として用いられている。

【0007】A：実施例の全体構成

図1は、この実施例のデジタル信号処理装置を用いた電子楽器の構成を示すブロック図である。この図において、1は鍵盤回路であり、鍵盤（図示せず）の各鍵に対応したスイッチ等から構成され、演奏者が操作する鍵盤の押離を検出して、キーが押下されていることを示す信号キーオンKONや、押下されたキーの音高を示す信号キーコードKC等を生成する。2は発音割当回路であり、鍵盤回路1において押下された鍵に相当する楽音信号を、音源部4のどのチャンネルから発生させるかの割り振り処理を行う。3は音色パラメータ供給部であり、発音すべき楽音に関する各種パラメータを供給する。この音色パラメータ供給部3は、例えば、後述する音色情報Aから音色（ピアノ音、オルガン音、ヴァイオリン音など）を示す音色コードNTC、およびこの音色コードNTC以外の音色に関する情報を示す音色パラメータを生成する。4は音源部であり、0～31chの32チャンネルにて時分割動作し、各チャンネルにおいてデジタルの楽音信号をそれぞれ生成する。この音源部4では、発音割当回路2により割り振られたチャンネルがキーコードKCや、音色コードNTC等の情報に基づく楽音信号を生成し、演算部5に供給する。

【0008】一方、6は操作パネルであり、図示しない

音色選択スイッチ、フィルタ特性やリバーブ効果のパラメータ等を設定する複数の操作子から構成され、これらの設定情報を設定部7に供給する。操作部7は、この設定情報に基づき操作パネル6の音色選択スイッチで選択された音色を示す音色情報Aを生成するとともに、この設定情報に基づき操作パネル6のパラメータを設定する操作子の設定状態に応じた演奏データを生成し、演算動作指示信号発生部10に供給する。フィルタ選択部8は、操作パネル6で選択された音色に応じた最適なフィルタ処理を行なうために、設定部7からの音色情報Aに基づき、フィルタ処理を制御する制御プログラムの読出に必要なアドレス信号を生成して、演算動作指示信号発生部10に供給する。これは、例えば、操作パネル6で選択可能な音色のそれぞれに対応して演算動作指示信号発生部10に記憶された複数の制御プログラムのうちの所定の制御プログラムの先頭アドレスを記憶しておくようにすればよい。同様に、リバーブ選択部9は、設定部7からの音色情報Aに基づき、リバーブ効果付加処理を制御するための制御プログラムの読出に必要なアドレス信号を生成して、演算動作指示信号発生部10に供給する。

【0009】演算動作指示信号発生部10は、演算部5における演算動作を制御するものである。なお、演算動作指示信号発生部10の詳細構成については後述する。演算部5は、音源部4によって生成された32ch分の楽音信号に対して各々フィルタ処理を、また、パンニング回路13から供給されるL信号およびR信号に対して各々リバーブ効果付加処理を、それぞれ時分割にて並列的に行なうものである。なお、この演算部5の詳細については後述する。

【0010】次に、演算部5にてフィルタ処理が各々施された32ch分の楽音信号は、それぞれEG部11に供給される。EG部11は、エンベロープ波形を生成し、入力した楽音信号に乗算することによって楽音信号のレベルを時間的に変化させるものであり、この出力信号をアキュムレータ12に供給する。すなわち、アキュムレータ12には、エンベロープ波形が各々乗算された32ch分の楽音信号が供給される。アキュムレータ12に供給された32ch分の楽音信号は、一旦、累算されてパンニング回路13に供給される。このパンニング回路13は、左右スピーカから発音すべき音に出力差を持たせることによって音に立体感を与えるものであり、入力信号をステレオのL信号およびR信号に分離して、演算部5に供給する。該L信号およびR信号は、演算部5において各々リバーブ効果が付加され、D/A変換部14においてアナログ信号にそれぞれ変換される。そして、これらアナログ信号は、異なる2つのスピーカ15を介し、この電子楽器の出力として各々発音される。

【0011】A-1：演算動作指示信号発生部10の構成

次に、演算動作指示信号発生部10の詳細な構成について図2を参照して説明する。この図に示すように、フィルタ選択部8（図1参照）によって生成されたアドレス信号は、フィルタパラメータ供給部201および読出制御回路211に供給される。フィルタパラメータ供給部201は、アドレス信号および音色情報Aからフィルタ処理に用いられるパラメータFLT-Q、FLT-fc およびアドレスFLT-adを生成し、これらの値をキーオンKONに同期して変化させて、演算部5（図1参照）に供給する。これらパラメータについて説明すると、パラメータFLT-Qはフィルタの共振値を示し、パラメータFLT-fc はフィルタのカットオフ周波数を示し、また、アドレスFLT-adは、フィルタ処理の演算において必要な遅延を実現するためのアドレス信号を示すものである。

【0012】一方、221は、フィルタ処理に対応した制御プログラムP11、P12、……を複数記憶しているフィルタ処理制御信号メモリである。この制御プログラムP11～は 演算部5のフィルタ処理における各種セクタの選択と各種レジスタの読出・書込とを時分割制御するものである。読出制御回路211は フィルタ選択部8からのアドレス信号に対応する制御プログラムを順次読み出す。

【0013】同様に、図1におけるリバーブ選択部9によって生成されたアドレス信号は、リバーブパラメータ供給部202および読出制御回路212に供給される。このリバーブパラメータ供給部202は、アドレス信号、演奏データおよび音色情報Aから、リバーブ効果のパラメータREV-COEF、REV-VOL およびアドレスREV-adを生成し、演算部5に供給する。これらパラメータについて説明すると、パラメータREV-COEFはリバーブ演算係数を示し、パラメータREV-VOLは リバーブ出力の大きさを示し、また、アドレスREV-adは、リバーブ演算において必要な遅延を実現するためのアドレス信号を示すものである。

【0014】一方、222は、リバーブ処理に対応した制御プログラムP21、P22、……を複数記憶しているリバーブ効果付加処理制御信号メモリである。この制御プログラムP21～は、演算部5のリバーブ効果付加処理における各種セクタの選択と各種レジスタの読出・書込とを時分割制御するものである。読出制御回路212は、リバーブ選択部8からのアドレス信号に対応する制御プログラムを順次読み出す。図1における演算部5は、読出制御回路211、212によって読み出された制御プログラムにしたがって制御される。

【0015】A-2：演算部5の構成
次に、演算部5について図3を参照して説明する。演算部5は、入力端子FILT-INに供給された楽音信号に対しフィルタ処理を施すとともに、入力端子REV-INに供給された楽音信号に対してリバーブ効果を付加するものであり、この図に示すように、セクタ51～54、フィル

5

タレジスタ55、リバーレジスタ56、全加算器57および乗算器58から構成される。前述のように、セレクト51～54の選択制御およびフィルタレジスタ55、リバーレジスタ56の読出・書込制御は、演算動作指示信号発生部10(図1および図2参照)によって行われる。そして、フィルタレジスタ55およびリバーレジスタ56における読出・書込時のアドレスは、該制御タイミングにおいて、それぞれ、フィルタパラメータ供給部201からのアドレスFLT-adおよびリバーパラメータ供給部201からのアドレスREV-adによって指定される。また、この図において、D₁～D₉は1クロックの遅延時間を有する遅延素子であり、3Dは3クロックの遅延時間を有する遅延素子である。なお、1クロックとは、この電子楽器のサンプリング周期Tの1/256の期間に相当するものである(詳細は後述する)。

【0016】演算部5の詳細構成について説明する。まず、入力端子FILT-INに供給された楽音信号はセレクト52の入力端Bに供給される。セレクト52の選択結果は遅延素子D₁を介し全加算器57の入力端Aに供給される。全加算器57の加算結果は、遅延素子D₂を介して、出力端子FILT-OUTから図示しないラッチ回路を介してEG部11(図1参照)にフィルタ処理が施された楽音信号として出力され、あるいは出力端子REV-OUTから、L信号およびR信号を各々ラッチするための2つのラッチ回路(図示省略)を介して、D/A変換部14(図1参照)にリバーブ効果が付加された楽音信号として出力されるとともに、次に述べる入力端に各々供給される。すなわち、これら入力端は、セレクト51の入力端A、セレクト52の入力端C、遅延素子D₃を介した同セレクトの入力端D、セレクト53の入力端B、遅延素子D₄を介したフィルタレジスタ55のデータ入力端、および遅延素子D₅を介したリバーレジスタ56のデータ入力端である。なお、全加算器57による加算結果は、常にEG部11あるいはD/A変換部14に出力されるわけではなく、後述する制御プログラムによる動作においてフィルタ処理およびリバーブ効果付加処理が実行されるタイミングにおいてのみ、遅延素子D₂の遅延結果が図示せぬラッチ回路によってラッチされる。そして、EG部11あるいはD/A変換部14が、所定のタイミングでラッチ回路によってラッチされたデータを取り込んでそれぞれにおいて所定の処理を行なう。

【0017】一方、セレクト54の入力端A、B、CおよびDには次に述べる信号が供給されている。すなわち、これら信号は、パラメータFLT-Q、FLT-fc、REV-COE FおよびパラメータREV-VOLである。セレクト54の選択結果は、遅延素子D₆を介し、乗算器58の乗算係数として供給される。そして、セレクト53の選択結果は、乗算器58においてセレクト54の選択結果と乗算される。この乗算結果は遅延素子3Dにて3クロックだけ遅延して、セレクト51の入力端Bに供給されるとと

6

もに、増幅器OPにて+6dB増幅されて同セレクトの入力端Cに供給される。

【0018】セレクト51の選択結果は、EX-ORゲート群59の一方の入力端に供給される。また、EX-ORゲート群59の他方の入力端には、各ビットがすべて

「0」あるいは「1」である加減算制御信号SUBが、演算動作指示信号発生部10(図1参照)から供給されている。すなわち、EX-ORゲート群59は、セレクト51による選択結果の各ビットと加減算制御信号SUBの各ビットとの排他的論理和を出力する。そして、該論理和は、遅延素子D₆を介して全加算器57の入力端Bに供給される。一方、加減算制御信号SUBの内の1ビット信号は、遅延素子D₇を介してキャリ(桁上信号)として全加算器57に入力される。これにより、全加算器57は、加減算制御信号SUBの各ビット値が「0」の場合にの入力端(A+B)の加算処理を行う一方、各ビット値が「1」の場合にの入力端(A-B)の減算処理を行うようになっている。

【0019】一方、入力端子REV-INのL、R信号は、セレクト53の入力端Aに供給される。また、フィルタレジスタ55から読み出されたデータは、遅延素子D₈を介して、セレクト52の入力端Aおよびセレクト53の入力端Cに供給され、また、リバーレジスタ56から読み出されたデータは、遅延素子D₉を介してセレクト53の入力端Dに供給される。フィルタレジスタ55およびリバーレジスタ56の各々には、それぞれ読出・書込時のアドレスを示すアドレスFLT-adおよびREV-adが、図2におけるフィルタパラメータ供給部201、リバーパラメータ供給部202から供給される。

【0020】このように構成される演算部5は、デジタルフィルタおよびリバーブ効果付加回路のブロック図を時分割にて構築する。すなわち、演算部5は、音源部4(図1参照)の各チャンネルによって生成された32ch分の楽音信号に対して各々フィルタ処理を施し、同時に、パンニング回路13(図1参照)において分離されたL、R信号に対して所定のリバーブ効果を付加するものである。

【0021】A-2-1:デジタルフィルタの構成次に、演算部5において時分割に構築されるデジタルフィルタの構成について図4を参照して説明する。図4は、このデジタルフィルタの構成を示すブロック図である。この図において、S₁～S₄は加算器、M₁～M₃は各々乗算係数をK₁～K₃とする乗算器である。この乗算係数K₁～K₃の値によってフィルタのQ値およびカットオフ周波数が決定される。また、R₁、R₂の各々は遅延部であり、この電子楽器のサンプリング周期Tの遅延時間を有する。この遅延部R₁、R₂は、演算部5におけるフィルタレジスタ55へのアドレス操作によって実現される(詳細は後述する)。

【0022】まず、デジタルフィルタの入力信号x

7

(t) (tは各サンプリング周期に対応する番号0、1、2……を示す)は、加算器S₁において乗算器M₃の乗算結果L₁と加算され、さらに、この加算結果L₂は、加算器S₂において遅延部R₁の遅延結果と加算される。そして、加算器S₂の加算結果L₃は、乗算器M₁において係数K₁が乗算されて、この乗算結果L₄は、加算器S₃に減算入力端(−)に供給される。加算器S₃の加算結果L₅は、乗算器M₂において係数K₂が乗算され、この乗算結果L₆は、加算器S₄の一方の入力端に供給され

るとともに、遅延部R₁を介して加算器S₃の加算入力端

(+)および乗算器M₃の入力端に供給される。そして *

$$\textcircled{1} \text{ 乗算器M}_3\text{の乗算結果 } L_1 = K_3 \cdot y(t-1) \quad \cdots \cdots (A1)$$

$$\textcircled{2} \text{ 加算器S}_1\text{の加算結果 } L_2 = L_1 + x(t) \quad \cdots \cdots (A2)$$

$$\textcircled{3} \text{ 加算器S}_2\text{の加算結果 } L_3 = L_2 + X(t-1) \quad \cdots \cdots (A3)$$

$$\textcircled{4} \text{ 乗算器M}_1\text{の乗算結果 } L_4 = K_1 \cdot L_3 \quad \cdots \cdots (A4)$$

$$\begin{aligned} \textcircled{5} \text{ 加算器S}_3\text{の加算結果 } L_5 &= y(t) \\ &= y(t-1) - L_4 \quad \cdots \cdots (A5) \end{aligned}$$

$$\textcircled{6} \text{ 乗算器M}_2\text{の乗算結果 } L_6 = K_2 \cdot y(t) = K_2 \cdot L_5 \quad \cdots \cdots (A6)$$

$$\begin{aligned} \textcircled{7} \text{ 加算器S}_4\text{の加算結果 } L_7 &= X(t) \\ &= L_6 + X(t-1) \quad \cdots \cdots (A7) \end{aligned}$$

【0024】A-2-2:リバーブ効果付加回路の構成次に、演算部5において時分割に構築されるリバーブ効果付加回路の構成について図5を参照して説明する。図5は、このリバーブ効果付加回路の構成を示すブロック図である。この図に示すように、リバーブ効果付加回路は、大別すると、初期反射音形成部60と後部残響音形成部61とから構成される。この初期反射音形成部60は、シュミレートしようとする残響特性の前半部分を示す初期反射音を形成するものである。これに対し、後部残響音形成部61は、初期反射音に続きシュミレートしようとする残響特性の後半部分を示す後部残響音を形成するものである。

【0025】この図において、KC₁〜KC₂₄の各々は、その入力信号に係数C₁〜C₂₄をそれぞれ乗算する乗算器、T₁〜T₇は、それぞれ加算結果をTC₁〜TC₇とする加算器である。また、DM₁〜DM₃は、所定の遅延時間を有する遅延部である。遅延部DM₁〜DM₃は、それぞれ一種のシフトレジスタであり、書き込まれたデータをアドレスが増える方向に、サンプリング周期T毎に順次移動させる。したがって、遅延部DM₁では、加算結果TC₇をアドレスA₁に書き込み、所定時間経過した後にアドレスA₂〜A₁₀にて読み出すことによって、加算結果TC₇に対してそれぞれ所定時間遅延した遅延データDC₂〜DC₁₀を生成することができる。同様に、遅延部DM₂、DM₃では、それぞれ加算結果TC₅、TC₆をアドレスA₁₁、A₁₅に書き込み、所定時間経過した後にアドレスA₁₂〜A₁₄、A₁₆〜A₁₈にて読み出すことによって、加算結果TC₅、TC₆に対して所定時間遅延した遅延データDC₁₂〜DC₁₄、DC₁₆〜DC₁₈をそれぞれ生成することができる。なお、この詳細な説明に

8

*て、加算器S₄の加算結果L₇は、このデジタルフィルタによってフィルタ処理を付加された出力信号X(t)として出力されるとともに、加算器S₄の他方の入力端および加算器S₂の他方の入力端に各々遅延部R₂を介して帰還されている。

【0023】このように構成されたデジタルフィルタにおいて、加算器S₃の加算結果をy(t)とすると、遅延部R₁、R₂の遅延結果は、各々y(t-1)、X(t-1)と表すことができ、さらに、各部の出力データは次のように表すことができる。

については後述する。

【0026】ところで、図5に示すリバーブ効果付加回路のブロック図は、図6に示す演算ユニット70〜76に分解することができる。そして、これら演算ユニット70〜76の演算をサンプリング周期T内に行なうことによって、リバーブ効果付加処理を行なうことができる。ここで、演算ユニット72〜76における加算結果TC₁〜TC₄は、リバーブレジスタ56(図5参照)に一時的に記憶されるものであり、加算結果TC₅〜TC₇は、遅延データを生成する目的で該レジスタに記憶されるものである。また、演算ユニット70〜72において、入力が「×」になっている場合には、何も入力されないが、対応する乗算器の出力が「0」となるように、該乗算器には係数「0」が供給される。

【0027】これら図6に示す演算ユニット70〜76は、さらに、次に述べる2つの演算ユニットAあるいはBのどちらか一方に分けることができる。図7(1)は演算ユニットAの構成を示すブロック図であり、図6における演算ユニット70〜74の一般形を示すものである。同様に、同図(2)は演算ユニットBの構成を示すブロック図であり、図6における演算ユニット75、76の一般形を示すものである。これら演算ユニットA、Bを、演算部5(図3参照)が演算ユニット70〜76に対応して順次実行することによって、図5のリバーブ効果付加回路を等価的に構築することができる。

【0028】ここで、演算ユニット70〜74に対応した演算ユニットAの構成について説明する。図7(1)に示すように、入力データE₁には乗算器M₄において係数K₄が乗算され、この乗算結果L₁₁は加算器S₅の一方の入力端に供給される。また、入力データE₂には乗

算器M5において係数K5が乗算され、この乗算結果L12は加算器S5の他方の入力端に供給される。次に、加算器S5において乗算結果L11、L12同士が加算され、この加算結果L13は加算器S6の一方の入力端に供給される。入力データE3には乗算器M6において係数K6が乗算され、この乗算結果L14は加算器S6の他方の入力端に供給される。加算器S6において加算結果L13と乗算結果L14とが加算され、この加算結果L15は加算器S7の一方の入力端に供給される。入力データE4には乗算器M7において係数K7が乗算され、この乗算結果L16は加算器S7の他方の入力端に供給される。そして、加算器S7において加算結果L15と乗算結果L16とが加算され、この加算結果L17は出力データF1として出力される。すなわち、入力データE1～E4には、各々乗算器M4～M7において係数K4～K7が各々乗算されて、これら乗算結果の和が出力データF1となる。

【0029】ところで、図7(1)に示す演算ユニットAの各データは、図6に示す演算ユニット70～74においては、それぞれ異なるデータに対応する。例えば、演算ユニットAにおける各データは、演算ユニット70では次のように対応する。すなわち、入力データE1はL信号に対応し、入力データE2、E3は加算結果TC1、TC3に対応し、また入力データE4は「×」(前述したように何も入力されない)に対応する。加算結果TC1、TC3は、リバーレジスタ56に一時的に記憶されているので、必要なタイミングで読み出される。そして、出力データF1はL出力に対応し、リバーブ効果の付加されたL信号としてD/A変換部(図1参照)に供給される。

【0030】同様に、演算ユニットAにおける各データは、演算ユニット71では次のように対応する。すなわち、入力データE1はR信号に、入力データE2、E3は加算結果TC2、TC4に、また入力データE4は「×」にそれぞれ対応する。そして、出力データF1はR出力に対応し、D/A変換部(図1参照)に供給される。

【0031】同様に、演算ユニットAにおける各データは、演算ユニット72～74では次のように対応する。すなわち、演算ユニットAにおける入力データE1は、演算ユニット72～74では、それぞれL信号、遅延データDC2、DC3に、入力データE2はそれぞれR信号、遅延データDC4、DC5に、入力データE3はそれぞれ「×」、遅延データDC6、DC7に、また入力データE4はそれぞれ「×」、遅延データDC8、DC9に対応する。遅延データDC2～DC9は、リバーレジスタ56(図3参照)から所定のアドレスを指定することによって、読み出され、供給される。また、演算ユニットAにおける出力データF1は、演算ユニット72～74では、それぞれ加算結果TC1、TC1、TC2に対応し、これらはリバーレジスタ56に所定のアドレスに書き込まれる。

【0032】次に、演算ユニット75、76に対応した演算ユニットBの構成について説明する。図7(2)に示すように、入力データE5には、乗算器M8において係数K8が乗算され、この乗算結果L18が加算器S8の一方の入力端に供給される。また、入力データE6には、乗算器M9において係数K9が乗算されて加算器S8の他方の入力端に供給される。そして、加算器S8において乗算結果L18、L19同士が加算され、この加算結果L20が出力データF2として出力される。同様に、入力データE7、E8は、各々乗算器M10、M11において係数K10、K11が各々乗算され、さらに、加算器S9において乗算結果L21、L22が加算されて、この加算結果L23が出力データF3として出力される。

【0033】演算ユニットBにおける入力データE5～E8は、図6に示す演算ユニット75では、それぞれ遅延データDC10、DC14、DC10、DC18に対応し、演算ユニット76では、それぞれ遅延データDC12、DC16、DC13、DC17に対応する。これら遅延データは、それぞれリバーレジスタ56における所定のアドレスから読み出される。また、演算ユニットBにおける出力データF2、F3は、演算ユニット75では加算結果TC5、TC6に、また、演算ユニット76では加算結果TC3、TC4にそれぞれ対応しており、これら加算結果TC3～TC6は、それぞれリバーレジスタ56における所定のレジスタに書き込まれる。

【0034】次に、リバーレジスタ56の読出/書込時における動作と、遅延部DM1、DM2、DM3による各遅延データDC2～DC10、DC12～DC14、DC16～DC18の生成原理とを説明する。図5における加算結果TC7は、遅延部DM1のアドレスA1に書き込まれる。これは、図3におけるリバーレジスタ56に指定されるアドレスREV-adの内容が「A1」であることを示している。すなわち、図6における演算ユニット72の加算結果TC7は、リバーレジスタ56においてアドレスA1に書き込まれる。同様に、演算ユニット75による加算結果TC5、TC6も、それぞれリバーレジスタ56においてアドレスA11、A15に書き込まれる。

【0035】次に、アドレスA1に書き込まれた加算結果TC7は、演算ユニット73～75における遅延データDC2～DC10としてアドレスA2～A10から読み出される。このとき、アドレスA1とアドレスA2～A10との関係は、それぞれ、

$$A_2 = A_1 + d_2,$$

$$A_3 = A_1 + d_3,$$

……、

$$A_{10} = A_1 + d_{10},$$

とする。リバーレジスタ56はシフトレジスタであり、サンプリング周期T毎にアドレスが増える方向に記憶しているデータをシフトする。すなわち、アドレスA1に書き込まれた加算結果TC7は、1サンプリング周期

11

後にはアドレス(A₁+1)に移動している。

【0036】したがって、アドレスA₂(=A₁+d₂)で読み出される遅延データDC₂は、加算結果TC₁を、
d₂×(サンプリング周期T)
だけ遅延させたデータとなる。同様に、遅延データDC₃〜DC₁₀は、それぞれ加算結果TC₁を、

(d₃, d₄, …, d₁₀)×(サンプリング周期T)
だけ遅延させたデータとなる。遅延部DM₂, DM₃に關しても遅延原理は、DM₁と同一である。なお、リバーブレジスタ56は、通常のRAMをアドレス操作することにより構成される疑似的なシフトレジスタであっても良い。この場合、リバーブレジスタ56の最終アドレス値をサンプリング周期T毎に「1」ずつ減算するカウンタを設け、このカウンタ結果に前述のアドレスA₁〜A₁₀を加算して用いる。これによって、みかけ上では同一アドレスに書込/読出を行なっているようでも、実際のアドレスは、サンプリング周期毎に移動することになる。

【0037】一方、演算ユニット73, 74, 76(図6参照)による加算結果TC₁, TC₂, TC₃, TC₄は、一時記憶するためにリバーブレジスタ56に書き込まれる。ここで、アドレスREV-adに与えるアドレスをそれぞれA₁₉, A₂₀, A₂₁, A₂₂とする。加算結果TC₁〜TC₄は、それぞれアドレスA₁₉〜A₂₂にて書き込まれた後に、同一サンプリング期間内において同一アドレスA₁₉〜A₂₂から読み出せば同一の加算結果を遅延させずに読み出すことができる。ただし、これは、同一のサンプリング周期の間において書込、読出の順で行なう場合である。読出、書込の順で行なう場合には、読み出されたデータは、1サンプリング周期前に書き込まれたデータとなるが、リバーブ処理の場合においては支障はない。

【0038】同様に、フィルタレジスタ55は、シフトレジスタあるいはRAMによる疑似的なシフトレジスタから構成されており、その読出/書込時の動作についても、リバーブレジスタ56の動作と同様である。

【0039】B: 実施例の動作

次に、上述した実施例の動作について説明する。

B-1: 電子楽器の動作

上述した電子楽器において鍵盤の鍵が押下されると、鍵盤回路1は、押鍵されたキーに対応するキーオンKONおよびキーコードKCを生成し、発音割当回路2に供給する。次に、発音割当回路2は、音源部4において発音割当の可能な空きチャンネル、すなわち、発音待機の状態となっているチャンネルを順次サーチする。このとき、発音割当回路2は、空きチャンネルがサーチされた場合には、該チャンネルに対して楽音信号を発生するように、キーオンKONおよびキーコードKCを供給する一方、空きチャンネルがサーチされない場合には、発音が最も進んでいるチャンネルを選択して、これを強制的

12

に空きチャンネルとして(トランケート処理)、該チャンネルに対して現在の発音を急速に減衰させる(ダンプ処理)ように指示した後に、キーオンKONおよびキーコードKCを供給する。ここで、キーオンKONはEG部11にも供給される。

【0040】また、音色パラメータ供給部3は、音色情報Aから設定された音色に対応する様々な音色パラメータを生成して音源部4およびEG部11に供給する。そして、音源部4において発音割当回路2によって割り当てられたチャンネルは、供給された音色パラメータに対応する音色の、キーコードKCに対応する音高の楽音信号を、キーオンKONの立ち上がりから生成する。このようにして、音源部4では32チャンネル分の異なる楽音信号が生成される。

【0041】一方、操作パネル6は、その操作子の設定情報を設定部7に供給する。設定部7は、この設定情報から音色番号を示す音色情報Aを生成して、音色パラメータ供給部7、フィルタ選択部8、リバーブ選択部9および演算動作指示信号発生部10に供給する。また、設定部7は、操作パネル6からの設定情報に基づいて、演奏データを生成して、演算動作指示信号発生部10に供給する。そして、フィルタ選択部8およびリバーブ選択部9は、音色情報Aに基づいて各々読み出すべき制御プログラムのアドレス信号を生成する。

【0042】すなわち、フィルタ選択部8は、音色情報Aによって複数のフィルタ用制御プログラムP₁₁, P₁₂, …から読み出すべき制御プログラムを決定し、さらに、制御クロックにしたがって該制御プログラムのアドレスを「1」ずつ更新する。ここで、制御クロックは、1つの制御プログラムの大きさが256ステップとすると、サンプリング周期Tの1/256の周期毎に供給される。つまり、1つの制御プログラムのサイクルが、1サンプリング周期で完了する。同様に、リバーブ選択部9は、音色情報Aによって複数のリバーブ用制御プログラムP₂₁, P₂₂, …から読み出すべき制御プログラムを決定するとともに、制御クロックにしたがって該制御プログラムのアドレスを「1」ずつ更新する。

【0043】図2において、フィルタパラメータ供給部201は、アドレス信号に対応し、音色情報Aおよび演奏データに基づいて、フィルタのQ値およびそのカットオフ周波数をそれぞれ決定するフィルタパラメータFLT-Q, FLT-fcを順次供給するとともに、アドレスFLT-adを順次供給する。これらフィルタパラメータFLT-Q, FLT-fcおよびアドレスFLT-adは、決定されたフィルタ用制御プログラムの読み出しに同期して供給され、各チャンネル毎の係数K₁〜K₃および遅延分R₁, R₂(図4参照)に対応するように供給される。同様に、リバーブパラメータ供給部202は、アドレス信号に対応し、音色情報Aおよび演奏データに基づくリバーブパラメータREV-COEF, REV-VOLを順次供給するとともに、アドレスFLT-ad

13

を順次供給する。これらリバーブパラメータREV-COEF、REV-VOLおよびアドレスFLT-adは、決定されたリバーブ用制御プログラムの読み出しに同期して供給され、係数 $K_4 \sim K_{11}$ および遅延部DM₁～DM₃（図7参照）に対応するように供給される。

【0044】図1に戻り、音源部4によって生成された32チャンネルの楽音信号の各々には、演算部5において対応する前述のフィルタパラメータに基づくフィルタ処理がそれぞれ施された後に、EG部11においてエンベロープ波形がそれぞれ乗算される。これら乗算された信号は、アキュムレータ12において一旦1つの信号に累算された後に、パンニング回路13において、ステレオのためのL信号およびR信号に分離される。そして、これらL信号およびR信号は、演算部5において今度は図5で示されるリバーブ効果が付加される。次に、D/A変換部14においてアナログ信号に変換されて、スピーカ15を介して外部へと発音される。

【0045】B-2：演算部5の動作

次に、演算部5の動作について説明する。この演算部5では、前述のように、音源部4により生成された各チャンネルの楽音信号に対するフィルタ処理と、パンニング回路13により分離されたL、R信号に対するリバーブ効果付加処理とが、電子楽器の1サンプリング周期T内において時分的に実行される。図8は、サンプリング周期T内において実行される、各チャンネルのフィルタ処理の制御プログラムとリバーブ効果付加処理の制御プログラムとを示す概念図である。

【0046】この図に示すように、この実施例ではサンプリング周期Tが、さらに32等分したブロックに分割される。これらブロックには、それぞれ先頭から0～31までの番号が付与されている。0～31chの楽音信号への各フィルタ処理は、3ブロックの期間において、順次1ブロックずつ遅延して行われる。すなわち、0chの楽音信号に対するフィルタ処理は、0～2ブロックの期間において行われ、n（nは0～31の整数）chの楽音信号に対するフィルタ処理は、（n-1）chの処理に対して1ブロックずつ遅延して行われる。

【0047】同様に、リバーブ効果付加処理における各演算ユニット70～76の処理は、3ブロックの期間において、順次1ブロックずつ遅延して行われる。すなわち、リバーブ効果付加処理では、まず、演算ユニットAを用いた演算ユニット70の処理が、0～2ブロックの期間において行われ、次に、演算ユニット71の処理が、演算ユニット70の処理に対して1ブロック遅延して行われ、以下、同様に、演算ユニットAを用いた演算ユニット74の処理が、演算ユニット73に対して1ブロック遅延して行われ、次に、演算ユニットBを用いた演算ユニット75の処理が、演算ユニット74の処理に対して1ブロック遅延して行われ、演算ユニット76の処理が演算ユニット75に対して1ブロック遅延して

14

行われる。なお、この図では、サンプリング周期T内に行われるリバーブ効果付加処理の演算ユニットの処理数は32個となるが、この実施例では説明便宜上リバーブ効果付加処理を簡略化したため、実際に実行されるのは、前述した演算ユニット70～76の7個である。

【0048】そして、サンプリング周期Tでは、連続する32ブロックから成る制御プログラムが実行される。この制御プログラムは、0～31chの楽音信号に対するフィルタ処理と演算ユニット70～76の演算処理とが、3ブロックの期間において順次1ブロックずつずらして重ねられている形態で実行される。

【0049】B-2-1：デジタルフィルタの動作説明。

次に、演算部5におけるデジタルフィルタの構築動作について、0chチャンネルの楽音信号にフィルタ処理を施す動作を例にとりて説明する。図9（a）は、図8における0chの楽音信号に対するフィルタ処理を示す具体的な制御プログラムを、タイムテーブルとして表したものであり、詳細には演算部5におけるセレクト51～54の選択とフィルタレジスタ55の制御とを示す。なお、全加算器57の加算タイミングと乗算器58の乗算タイミングは、制御プログラムとは無関係であるが、説明の便宜上併せて記した。

【0050】この図に示すように、0chチャンネルの楽音信号へのフィルタ処理を示す制御プログラムは、3ブロックから構成されており、各ブロックには、0～2までの番号が順次付与されている。さらに1つのブロックは、8つのステップから構成されている。各ステップはクロックの1周期毎に実行されるので、サンプリング周期1Tでは、256（＝32ブロック×8クロック）ものステップを有する制御プログラムが実行される。すなわち、サンプリング周期1Tでは、256ものクロックを供給することによって、制御プログラムが実行されることとなる。これらクロックには、1ブロック毎に0～7までの番号が順次付与されている。以下説明の便宜上、例えば、1ブロック目の、クロック番号が5のようなクロックをクロック1-5と呼ぶことにする。

【0051】図3に示す演算部5は、図9（a）に示すタイムテーブルにしたがって、次に述べる各動作①～⑦を実行し、図4におけるデジタルフィルタの各演算結果L₁～L₇を求める。

① 乗算結果L₁の算出

まず、図9（a）に示すようにクロック0-3において、フィルタパラメータ供給部201（図2参照）からアドレスFLT-adが読出アドレスとして供給され、遅延部R₁（図4参照）の遅延データである $y(t-1)$ が、フィルタレジスタ55から読み出される。このデータ $y(t-1)$ は、現在時刻tよりも1サンプリング周期前に遅延部R₁として書き込まれたものである。すなわち、図4における遅延部R₁、R₂は、図3におけるフィ

15

ルタレジスタ55を用いて実現されるものであり、書き込んだデータを周期1T後に読み出すことによって、データが1サンプリング周期Tだけ遅延させられる。該データ $y(t-1)$ は、図3に示すように遅延素子 D_8 によって1クロック遅延するので、クロック0-4においてセクタ53に供給される。

【0052】次に、クロック0-4(図9(a)参照)においてセクタ53は入力端Cを選択する。これにより、乗算器58にはデータ $y(t-1)$ が供給される。一方、クロック0-3において、セクタ54は入力端Aを選択する。この入力端Aに供給されるデータは、図4における係数 K_3 に相当し、クロック0-3においてフィルタパラメータ供給部201から供給されるパラメータFLT-0である。該データは、遅延素子 D_6 を介してクロック0-4において乗算器58に供給される。したがって、クロック0-4において乗算器58には、データ $y(t-1)$ と係数 K_3 とが供給されることになるので、式(A1)に示す乗算結果 L_1 が算出されることとなる。次に、乗算結果 L_1 は、遅延素子3Dおよび増幅器OPを順次介してセクタ51の入力端Cに供給される。つまり、乗算結果 L_1 はクロック0-7において+6dB増幅されて同セクタ51の入力端Cに供給される。

【0053】② 加算結果 L_2 の算出

図9(a)に示すようにクロック0-7において、セクタ51は入力端Cを選択する一方、セクタ52は入力端Bを選択する。セクタ51の選択によって、乗算結果 L_1 は、EX-ORゲート群59および遅延素子 D_6 を順次介して全加算器57の入力端Bに供給される。また、入力端子FILT-INに供給される信号は、デジタルフィルタの入力信号 $x(t)$ であり、セクタ52の選択によって、遅延素子 D_1 を介して全加算器57の入力端Aに供給される。ここで、乗算結果 L_1 および入力信号 $x(t)$ は、各々遅延素子 D_6 、 D_1 を介するので、クロック1-0において全加算器57に供給される。したがって、式(A2)に示す加算結果 L_2 が算出される。

【0054】③ 加算結果 L_3 の算出

次に、図9(a)に示すようにクロック1-1においてセクタ51は入力端Aを選択する。このとき、同セクタの入力端Aには、クロック1-0において全加算器57によって算出された加算結果 L_2 が、遅延素子 D_2 によって1クロック遅延して供給されている。これにより、加算結果 L_2 がEX-ORゲート群59および遅延素子 D_6 を介して全加算器57の入力端Bに供給される。一方、クロック1-0において、フィルタレジスタ55からサンプリング周期の1周期前に書き込まれた遅延部 R_2 のデータ $X(t-1)$ が読み出される。このデータは、遅延素子 D_8 によって1クロック遅延するので、クロック1-1においてセクタ52の入力端Aに供給される。クロック1-1においてセクタ52は入力端Aを選択するので、データ $X(t-1)$ が遅延素子 D_1 を

16

介して全加算器57の入力端Aに供給される。つまり、加算結果 L_2 およびデータ $X(t-1)$ は、各々遅延素子 D_6 、 D_1 を介するので、クロック1-2において全加算器57に供給される。これにより、式(A3)に示す加算結果 L_3 が算出される。

【0055】④ 乗算結果 L_4 の算出

次に、図9(a)に示すようにクロック1-3においてセクタ53は入力端Bを選択する。このとき、同セクタの入力端Bには、クロック1-2において全加算器57によって算出された加算結果 L_3 が、遅延素子 D_2 によって1クロック遅延して供給されているので、該加算結果が乗算器58に供給されることになる。一方、クロック1-2においてセクタ54は入力端Bを選択する。この入力端Bに供給されるデータは、図4における係数 K_1 に相当し、クロック1-2においてフィルタパラメータ供給部201から供給されるパラメータFLT-fcである。該データは、遅延素子 D_6 を介してクロック1-3において乗算器58に供給される。したがって、クロック1-3において乗算器58には、加算結果 L_3 と係数 K_1 とが供給されるので、式(A2)に示す乗算結果 L_4 が算出されることとなる。この乗算結果 L_4 は、遅延素子3Dを介して出力されるので、クロック1-6においてセクタ51に供給される。

【0056】⑤ 加算結果 L_5 の算出

次に、図9(a)に示すようにクロック1-6においてセクタ51は入力端Bを選択するので、乗算結果 L_4 は、EX-ORゲート群59および遅延素子 D_6 を介して全加算器57の入力端Bに供給される。このとき、加減算制御信号SUBの各ビットはすべて「1」であるので、全加算器57では入力端(A-B)の減算処理が行われる。また、乗算結果 L_4 は遅延素子 D_6 を介するので、クロック1-6から1クロック遅延して、すなわち、クロック1-7において全加算器57に供給される。一方、図9(a)に示すようにクロック1-5においてフィルタレジスタ55から遅延部 R_1 のデータ $y(t-1)$ が再度読み出され、クロック1-6においてセクタ52は入力端Aを選択する。データ $y(t-1)$ は、遅延素子 D_8 および D_1 を順次に介するので、クロック1-5から2クロック遅延して、すなわち、クロック1-7において全加算器57の入力端Bに供給される。

【0057】したがって、クロック1-7において全加算器57には、乗算結果 L_4 とデータ $y(t-1)$ とが供給されるので、式(A5)に示す加算結果 L_5 が算出される。この加算結果 L_5 は、遅延素子 D_2 を介して出力されるので、クロック2-0においてセクタ53に供給され、また、遅延素子 D_4 を介するので、クロック2-1においてフィルタレジスタ55のデータ入力端に供給される。このとき、図9(a)に示すように、フィルタレジスタ55には、加算結果 L_5 が現在時刻 t における遅延部 R_1 のデータ $y(t)$ として書き込まれる。

17

【0058】ここで、 $y(t)$ として書き込まれたデータは、クロック0-3および1-5において1サンプリング周期遅延したデータ $y(t-1)$ として読み出されるが、フィルタレジスタ55はシフトレジスタとして動作しているので、書込アドレスと読出アドレスとは同一である。すなわち、クロック0-3、1-5および2-1において、フィルタパラメータ供給部20iから供給されるアドレスFLT-adは、その内容が同一のものとなる。これは、前述したように、書込と読出との順序が逆であることに起因する。

【0059】⑥ 乗算結果 L_6 の算出

次に、図9(a)に示すようにクロック2-0においてセクタ53は入力端Bを選択する。このとき、同セクタの入力端Bには前述のように、加算結果 L_5 が供給されているので、該加算結果が乗算器58に供給されることになる。一方、クロック1-7において、セクタ54は入力端Bを選択する。これにより、該入力端にフィルタパラメータ供給部20iから供給されるパラメータFLT-fciは、遅延素子D6を介してクロック2-0において乗算器58に供給される。該パラメータは、図4における係数 K_2 に相当する。

【0060】したがって、クロック2-0において乗算器58には、加算結果 L_5 と係数 K_2 とが供給されるので、式(A6)乗算結果 L_6 が算出されることになる。この乗算結果 L_6 は、遅延素子3Dを介するので、クロック2-3においてセクタ51に供給される。

【0061】⑦ 加算結果 L_7 の算出

次に、図9(a)に示すようにクロック2-3においてセクタ51は入力端Bを選択する一方、セクタ52は入力端Aを選択する。このとき、セクタ51には乗算結果 L_6 が供給されているので、該乗算結果は、EX-ORゲート群59および遅延素子D6を介して全加算器57の入力端Bに供給される。すなわち、乗算結果 L_6 はクロック2-4において全加算器57の入力端Bに供給されることになる。一方、図9(a)に示すようにクロック2-2においてフィルタレジスタ55からレジスタR2のデータ $X(t-1)$ が再度読み出される。このデータは遅延素子D8を介するので、クロック2-3においてセクタ52の入力端Aに供給される。このとき、セクタ52は該入力端を選択しているので、データ $X(t-1)$ が遅延素子D1を介して、クロック2-4において全加算器57の入力端Aに供給されることになる。したがって、クロック2-4において全加算器57には、乗算結果 L_6 とデータ $X(t-1)$ が供給されることになるので、式(A7)に示す加算結果 L_7 が算出される。

【0062】この加算結果 L_7 は、遅延素子D2を介するので、クロック2-5において出力端子FILT-OUTから出力されるとともに、遅延素子D4を介するので、クロック2-6においてフィルタレジスタ55のデータ入力端

18

に供給される。このとき、図9(a)示すように、フィルタレジスタ55には加算結果 L_7 が、新たな遅延部R2のデータ $X(t)$ として書き込まれる。

【0063】ここで、 $X(t)$ として書き込まれたデータは、クロック1-0および2-2において1サンプリング周期遅延したデータ $x(t-1)$ として読み出されるが、この場合も、前述の $y(t)$ と同様の理由、すなわち、書込と読出との順序が逆である、という理由から、書込アドレスと読出アドレスとは同一である。すなわち、クロック1-0、2-2および2-6において、フィルタパラメータ供給部20iから供給されるアドレスFLT-adは、その内容が同一のものとなる。このように、図9(a)に示す制御プログラムによる演算部5の制御によって、0chの楽音信号に対するフィルタ処理がクロック0-0からクロック2-7の期間において行われる。

【0064】次に、1chの楽音信号に対するフィルタ処理は、図8に示すように、0chの処理に対して1ブロック遅延して行われる。以下同様に、nchの楽音信号に対するフィルタ処理は、 $(n-1)$ chに対して1ブロックずつ遅延して行われる。この結果、例えば、図8におけるブロック番号2の期間では、0~2chの楽音信号のフィルタ処理が同時進行で行われるが、後述するように、各処理の演算結果は、干渉することなく算出される。

【0065】フィルタ処理制御メモリ22iに記憶される制御プログラムは、図9(b)に示すように同図

(a)の3ブロックを1ブロックにまとめたプログラム32個からなる。制御プログラムの各ブロックは、各チャンネルでは同一であるが、フィルタパラメータ供給部20iは、各チャンネル毎に異なるフィルタパラメータを供給するので、32ch分の楽音信号に対して個々のフィルタ処理を実行することができる。このようにして、サンプリング周期T内において32ch分の各楽音信号に対し、それぞれフィルタ処理が行われる。なお、この実施例では、図9(b)に示すプログラム32個からなる制御プログラムを記憶するようにしたが、これに限らず、図9(a)における3ブロックを1ブロックにまとめたプログラムを1つだけ記憶し、これをサンプリング周期T内に32回読み出すように構成しても良い。

【0066】B-2-2：リバーブ効果付加回路の動作説明

リバーブ効果付加回路は、上述したように、図7(1)の演算ユニットAあるいは同図(2)の演算ユニットBを時分割によって繰り返し構築することによって構成することができる。

【0067】まず、図7(1)に示す演算ユニットAの構築動作について説明する。特に、演算ユニットAが、図6に示す演算ユニット73、74の処理を行う際の動作について説明する。図10は、図8におけるリバーブ

19

効果付加処理の具体的な制御プログラムをタイムテーブルとして示したものであり、図9(a)と同様に、詳細には演算部5におけるセクタ51~54の選択とリバーレジスタ56の制御とを示す。なお、全加算器57の加算タイミングと乗算器58の乗算タイミングは、制御プログラムとは無関係であるが、説明の便宜上併せて記した。

【0068】この図に示すように、リバー効果付加処理における演算ユニットの処理は、フィルタ処理と同様に、3ブロックから構成されており、各ブロックには、0~2までの番号が順次付与され、さらに、各ブロックは、8ステップ(クロック)から構成される。ここでも、説明の便宜上、例えば、2ブロック目の、クロック番号が4であるようなクロックをクロック2-4と呼ぶことにする。図3に示す演算部5は、図10に示すタイムテーブルにしたがって、次に述べる各動作①~⑦を実行し、図7(1)に示す演算ユニットAの各演算結果L11~L17を求める。

【0069】① 乗算結果L11の算出

まず、図10に示すようにクロック0-2において、セクタ53は入力端Dを選択する。このとき、同セクタの入力端Dには、クロック0-1においてリバーレジスタ56から読み出された入力データE1が、遅延素子D9を介して供給されているので、乗算器58には該入力データが供給される。また、クロック0-1において、セクタ54はその入力端Cを選択する。このとき該入力端Cには、リバーパラメータ供給部202からのパラメータREV-COEFが、図7(1)に示す演算ユニットAの係数K4として供給されており、遅延素子D6を介す結果、クロック0-2において乗算器58に供給される。したがって、クロック0-2において乗算器58には、係数K4と入力データE1とが供給されることとなり、

$$L_{11} = K_4 \cdot E_1$$

なる乗算結果L11が算出される。

【0070】この乗算結果L11は遅延素子3Dを介するので、クロック0-5においてセクタ51に供給される。このとき、セクタ51は入力端Bを選択し、また、遅延素子D6を介するので、クロック0-6において乗算結果L11が全加算器57の入力端Bに供給されることになる。一方、クロック0-5においてセクタ52はどの入力端も選択しないので、クロック0-6において全加算器57の入力端Aには何も供給されない。したがって、クロック0-6において全加算器57は乗算結果L11に対して何も加算しないまま出力する。すなわち、乗算結果L11がそのまま出力される。または、クロック0-5において、セクタ52が「0」を選択するようにしても良い。

【0071】② 乗算結果L12の算出

クロック0-5においてセクタ53は入力端Dを選択

20

し、クロック0-4においてリバーレジスタ56から入力データE2が読み出される。これにより、クロック0-5において該入力データが乗算器58に供給される。また、クロック0-4においてセクタ54は入力端Cを選択する。このとき、入力端Cに供給されるパラメータREV-COEFは、図7(1)に示す演算ユニットAの係数K5である。これにより、クロック0-5において係数K5が乗算器58に供給される。したがって、0-5において乗算器58には、係数K5と入力データE2とが供給されることとなり、

$$L_{12} = K_5 \cdot E_2$$

なる乗算結果L12が算出される。この乗算結果L12は遅延素子3Dを介するので、クロック1-0においてセクタ51の入力端Bに供給される。

【0072】③ 加算結果L13の算出

次に、クロック1-0においてセクタ51は入力端Bを選択する。このとき、同セクタの入力端Bには乗算結果L12が供給されており、同セクタの出力には遅延素子D6が接続されているので、クロック1-1において全加算器57の入力端Bには該乗算結果L12が供給されることになる。また、クロック1-0においてセクタ52は入力端Dを選択する。このとき、同セクタの入力端Dには、乗算結果L11が供給されている。これは、クロック0-6において全加算器57から出力された乗算結果L11が、遅延素子D2、D3を介して2クロック遅延するためである。これにより、該乗算結果はセクタ52から遅延素子D1を介して、クロック1-1において全加算器57の入力端Aに供給されることになる。したがって、クロック1-1において全加算器57には乗算結果L11、L12が供給されることになるので、

$$L_{13} = L_{11} + L_{12}$$

なる加算結果L13が算出される。

【0073】④ 乗算結果L14の算出

乗算結果L11、L12の算出と同様に、クロック0-7においてセクタ53はその入力端Dを選択する一方、クロック0-6においてリバーレジスタ56から入力データE3が読み出される。これにより、クロック0-7において入力データE3が乗算器58に供給される。また、クロック0-6において、セクタ54は入力端Cを選択する。このとき、入力端Cに供給されるパラメータREV-COEFは、図7(1)に示す演算ユニットAの係数K6である。これにより、クロック0-7において係数K6が乗算器58に供給される。したがって、0-7において乗算器58には、係数K6とレジスタE3のデータとが供給されることとなり、

$$L_{14} = K_6 \cdot E_3$$

なる乗算結果L14が算出される。この乗算結果L14は遅延素子3Dを介するので、3クロック遅延してクロック1-2においてセクタ51の入力端Bに供給される。

【0074】⑤ 加算結果L15の算出

21

次に、図10に示すように、クロック1-2においてセクタ51は入力端Bを選択する。このとき、同セクタの入力端Bには乗算結果L14が供給されているので、また、同セクタの出力には遅延素子D6が接続されているので、クロック1-3において全加算器57の入力端Bには該乗算結果L14が供給されることになる。一方、クロック1-2においてセクタ52は入力端Cを選択する。このとき、同セクタの入力端Cには、加算結果L13が供給されている。これは、クロック1-1において全加算器57から出力された加算結果L13が、遅延素子D2を介して1クロック遅延するためである。これにより、該加算結果はセクタ52から遅延素子D1を介して、クロック1-3において全加算器57の入力端Aに供給されることになる。したがって、クロック1-3において全加算器57には加算結果L13と乗算結果L14とが供給されることになるので、

$$L15 = L13 + L14$$

なる加算結果L15が算出される。

【0075】⑥ 乗算結果L16の算出

乗算結果L11、L12およびL14と同様に、クロック1-1においてセクタ53は入力端Dを選択し、クロック1-0においてリバープレジスタ56から入力データE4が読み出される。これにより、クロック1-1において入力データE4が乗算器58に供給される。また、クロック1-0においてセクタ54は入力端Cを選択する。このとき、入力端Cに供給されるパラメータREV-COEFFは、図7(1)に示す演算ユニットAの係数K7である。これにより、クロック1-1において係数K7が乗算器58に供給される。したがって、1-1において乗算器58には、係数K7と入力データE4とが供給されることとなり、

$$L16 = K7 \cdot E4$$

なる乗算結果L16が算出される。この乗算結果L16は遅延素子3Dを介するので、3クロック遅延してクロック1-4においてセクタ51の入力端Bに供給される。

【0076】⑦ 加算結果L17の算出

次に、クロック1-4においてセクタ51は入力端Bを選択する。このとき、同セクタの入力端Bには乗算結果L16が供給されているので、また、同セクタの出力には遅延素子D6が接続されているので、クロック1-5において全加算器57の入力端Bには該乗算結果が供給されることになる。一方、クロック1-4においてセクタ52は入力端Cを選択する。このとき、同セクタの入力端Cには、加算結果L15が供給されている。これは、クロック1-3において全加算器57から出力された加算結果L15が、遅延素子D2を介して1クロック遅延するためである。これにより、該加算結果はセクタ52から遅延素子D1を介して、クロック1-5において全加算器57の入力端Aに供給されることになる。

22

【0077】したがって、クロック1-5において全加算器57には加算結果L15と乗算結果L16とが供給されることになるので、

$$L17 = L15 + L16$$

なる加算結果L17が算出される。この加算結果L17は、遅延素子D2、D5を介し2クロック遅延してリバープレジスタ56に出力データF1として書き込まれる。

【0078】このようにして各演算結果L11~L17が求められる演算ユニットAを、図6に示す演算ユニット70~74に対応させ、図8に示すように3ブロックの期間毎に動作させる。例えば、演算ユニットAを用いて演算ユニット73の処理を行う際には、演算ユニットAにおける入力データE1~E4の読出タイミングにおいて、それぞれに対応する遅延データDC2、DC4、DC6、DC8が、リバープレジスタ56から読み出される。これは、アドレスREV-adとしてアドレスA2、A4、A6、A8をそれぞれ指定することによって行われる。さらに、パラメータREV-COEFFの係数K4~K7は、各供給タイミングにおいて、演算ユニット73における係数C5、C7、C9、C11として供給される。そして、演算ユニットAによる出力データF1が、演算ユニット73の加算結果TC1としてリバープレジスタ56に一時的に記憶される。

【0079】同様に、演算ユニットAを用いて演算ユニット74の処理を行う際には、演算ユニットAにおける入力データE1~E4の読出タイミングにおいて、それぞれに対応する遅延データDC3、DC5、DC7、DC9が、リバープレジスタ56から読み出される。これは、アドレスREV-adとしてアドレスA3、A5、A7、A9をそれぞれ指定することによって行われる。さらに、パラメータREV-COEFFである係数K4~K7は、各供給タイミングにおいて、演算ユニット74における係数C6、C8、C10、C12として供給される。そして、演算ユニットAによる出力データF1が、演算ユニット74の加算結果TC2としてリバープレジスタ56に一時的に記憶される。

【0080】次に、演算ユニットAによって、演算ユニット70~72(図6参照)の処理を行う際の動作について説明する。この場合、演算ユニット73、74との相違は、演算ユニットAにおける入力データE1が、演算ユニット70、72ではL信号となり、演算ユニット71では、R信号となる点である。図10に示すタイムテーブルのクロック0-2では、セクタ53がその入力端Dを選択するようになっていたが、この相違点に対処するために、演算ユニット70~72の処理が行われる際には、セクタ53はその入力端Aを選択するようになっている。この際に、パンニング回路13(図1参照)は、演算ユニット70、72が実行されるときにはL信号を、また、演算ユニット71が実行されるときにはR信号を、それぞれ入力端子REV-INを介して供給す

23

る。同様に、演算ユニット72の処理を行う際には、演算ユニットAにおける入力データE₂がR信号となり、クロック0-5においてセクタ53はその入力端Aを選択するようになってい

【0081】また、演算ユニット70~72では、演算ユニットAにおける入力データE₄とこの入力データE₄への乗算係数とは、それぞれ「×」、「0」である。この実施例において演算ユニットAによって演算ユニット70~74の処理を行う場合には、クロック1-1においてセクタ53へは選択信号を供給しないようにしている。この場合にセクタ53では、不特定の入力端が選択されるが、この実施例では、クロック1-0においてセクタ54の入力端Cへ、パラメータREV-COEFとして供給される係数K₇を、演算ユニット70における乗算係数にしたがって「0」としている。この結果、該係数は、遅延素子D₆を介して供給されるので、乗算器58にはクロック1-1において供給される。これにより、乗算器58の乗算結果は強制的に「0」となり、これを演算ユニットAにおける乗算結果L₁₅としている。

【0082】同様に、演算ユニット72では、演算ユニットAにおける入力データE₃とこの入力データE₃への乗算係数とは、それぞれ「×」、「0」である。この場合、クロック0-7においてセクタ53には選択信号が供給されず、クロック0-6においてセクタ54の入力端Cへ、パラメータREV-COEFとして供給される係数K₆を、演算ユニット70における乗算係数にしたがって「0」としている。この結果、該係数は、遅延素子D₆を介して供給されるので、乗算器58にはクロック0-7において供給され、乗算器58の乗算結果は強制的に「0」となる。これを演算ユニットAにおける乗算結果L₁₄としている。このように、この実施例では、パラメータREV-COEFとして供給される係数K₆、K₇を、その供給タイミングにおいて「0」とすることによって、演算ユニット70~72における入力データ「×」および乗算係数「0」の処理に対処している。

【0083】また、演算ユニット70、71における各乗算係数C₂₃、C₂₄は、図5に示すリバース効果付加回路を見ても判るように、リバースにおけるL、R出力の大きさを決定する乗算器T C₂₃、T C₂₄にそれぞれ供給されている。すなわち、演算ユニットAによる演算ユニット70、71の処理において、乗算係数C₂₃、C₂₄は、パラメータREV-COEFではなく、パラメータREV-VOLの係数K₆として供給される。したがって、演算ユニットAによって演算ユニット70の処理を行う際には、図10とは異なり、セクタ54はクロック0-6においてその入力端Dを選択するとともに、クロック0-5においてパラメータREV-VOLの係数K₆として乗算係数C₂₃が、セクタ54の入力端Dに供給されるようになってい

24

4はクロック0-6においてその入力端Dを選択するとともに、クロック0-5においてパラメータREV-VOLの係数K₆として乗算係数C₂₄が、セクタ54の入力端Dに供給されるようになってい

【0084】このように演算ユニットAを用いた処理でも、演算ユニット70~74の相違によって、各セクタ51~54への選択およびリバースレジスタ56への書込/読出制御が、図10に示すタイムテーブルとは異なる場合があるが、基本的には、図3に示す演算部5は、このタイムテーブルにしたがって制御され、演算ユニットAの演算を演算ユニット70~74の各々に対応させて繰り返し行なう。

【0085】また、演算部5は図11に示すタイムテーブルにしたがって、図7(2)における演算ユニットBの各演算結果L₁₈~L₂₃を求める。この図におけるタイムテーブルと図10におけるタイムテーブルとの相違は、次のとおりである。すなわち、この相違は、(A)クロック1-3において、加算結果L₂₀が、出力データF₂としてリバースレジスタ53へ書き込まれる点、および(B)クロック1-2において、乗算結果L₂₂になにも加算しない状態の乗算結果L₂₁を加算させるために、セクタ52は未選択となる点、である。他は演算ユニットAと同様に、演算部5は、図11におけるタイムテーブルにしたがって制御され、演算ユニットBの演算を演算ユニット75、76の各々に対応させて繰り返し行なう。

【0086】演算部5は、図8に示すように、演算ユニット70~76の演算を演算ユニットA、Bに対応させて順次実行する。すなわち、演算部5は、ブロック0~2の期間に演算ユニット70を実行し、1ブロック(8クロック)遅延して演算ユニット71を実行し、同様にして、演算ユニット76までを実行する。このようにして、演算部5は、1サンプリング周期Tにおいて演算ユニット70~76を実行するので、パンニング回路13(図1参照)のL、R信号に対するリバース効果付加処理を行うことになる。このため、リバース効果付加処理制御信号メモリ222に記憶される制御プログラムは、演算ユニット70~76のタイムテーブルの同タイミングにおけるブロック(例えば、演算ユニット70の第3番目のブロック、演算ユニット71の第2番目のブロックおよび演算ユニットの第1番目のブロック)を互いに重ね合わせた1つの制御プログラムからなる。

【0087】上述したように、演算部5は、1サンプリング周期Tにおいて0~31chの楽音信号に対するフィルタ処理と演算ユニット70~76によるリバース効果付加処理とを時分割に行なうものである。このとき、図9~11から実際に試してみれば明らかのように、演算部5においてセクタ51~54の選択制御と、フィルタレジスタ54の読出・書込制御と、リバースレジスタ56の読出・書込制御とは、各クロックにおいて1箇

25

所も重なることがない。例えば、図8におけるサンプリング周期の2ブロック目では、0~2chの楽音信号へのフィルタ処理と演算ユニット70~72の処理とは、同時に進行することになるが、全加算器57、乗算器58の演算タイミングは、クロックレベルにおいて重なることがない。これは、演算部5における各セクタ51~54、全加算器57および乗算器58の間に遅延素子を設けたことによって達成されている。また、演算アルゴリズムの単位としてフィルタ処理を各チャンネル毎に分解し、あるいはリバース効果付加処理を演算ユニットに分解して、これら各演算アルゴリズムを所定時間ずつ遅延して実行することによって、異なる入力データを時分割に処理して、互いに干渉し合うことなく出力することができる。さらに、フィルタ処理とリバース効果付加処理とを同一の演算部5によって時分割に行なうので、回路構成を簡略化することができる。

【0088】なお、上述した実施例では、演算部5が演算ユニット70~76の演算を行うことによって、等価的に図5に示すリバース効果付加回路を構築したが、上述したように、空きの演算処理ユニットが25個(=32-7)あるので、各スロットの制御が重ならない限り、より複雑なリバース付加回路を構築することができる。

【0089】なお、上述した実施例では、楽音信号にフィルタ処理が付加された後に、リバース効果が付加される構成としたが、制御プログラムを書き換えることによって、コーラス、フランジャー、ディストーション、あるいはエキサイター等の効果を付加するように構成しても良い。また、上述した実施例に限らず、各々効果を付加すべき楽音信号は全く別であっても良い。また、同一の楽音信号に対し異なる効果を各々並列的に付加するよう構成しても良い。さらに、上述した実施例では、楽音信号に2種類の効果を付加するようにしたが、3種類以上でも良い。また、この場合には、付加可能なN種類の効果のうちの任意のn($n \leq N$)種類の効果のみを楽音信号に付加できるようにしても良い。

【0090】

【発明の効果】以上説明したこの発明によれば、演算器への入力データは、遅延手段によるデータの遅延と、演算毎に対応する制御プログラムに基づく選択器の選択と第2の記憶手段における演算結果の書込・読出とによって、混在することなく供給されるので、異なる演算結果

26

を時分割に同時に算出することが可能となる。したがって、複数の異なる処理を並列的に行なうことができるので、処理速度の高速化が可能になり、しかも、制御プログラムによっては、演算器の使用効率を100%とすることができる。すなわち、複数の異なる処理を行なう場合でも高速に処理すること、および、演算器の使用効率を高くすることが可能となる。

【図面の簡単な説明】

【図1】 この発明の一実施例を用いた電子楽器の構成を示すブロック図である。

【図2】 図1における演算制御信号発生部10の詳細構成を示すブロック図である。

【図3】 図1における演算部5の詳細構成を示すブロック図である。

【図4】 演算部5において時分割にて構築されるディジタルフィルタの構成を示すブロック図である。

【図5】 演算部5において時分割にて構築されるリバース効果付加回路の構成を示すブロック図である。

【図6】 図5におけるリバース効果付加回路を演算ユニットに分解した構成を示すブロック図である。

【図7】 図6における演算ユニットの構成を示すブロック図である。

【図8】 サンプリング周期T内における各チャンネルのフィルタ処理のタイムテーブルとリバース効果付加処理の演算ユニットのタイムテーブルとを示す概念図である。

【図9】 (a)は、0chの楽音信号にフィルタ処理を付加する場合の演算部5の制御内容を示すタイムテーブルであり、(b)は、図2におけるフィルタ処理制御信号メモリ221に記憶される制御プログラムの制御内容を示すタイムテーブルである。

【図10】 演算ユニットAを演算する場合の演算部5の制御内容を示すタイムテーブルである。

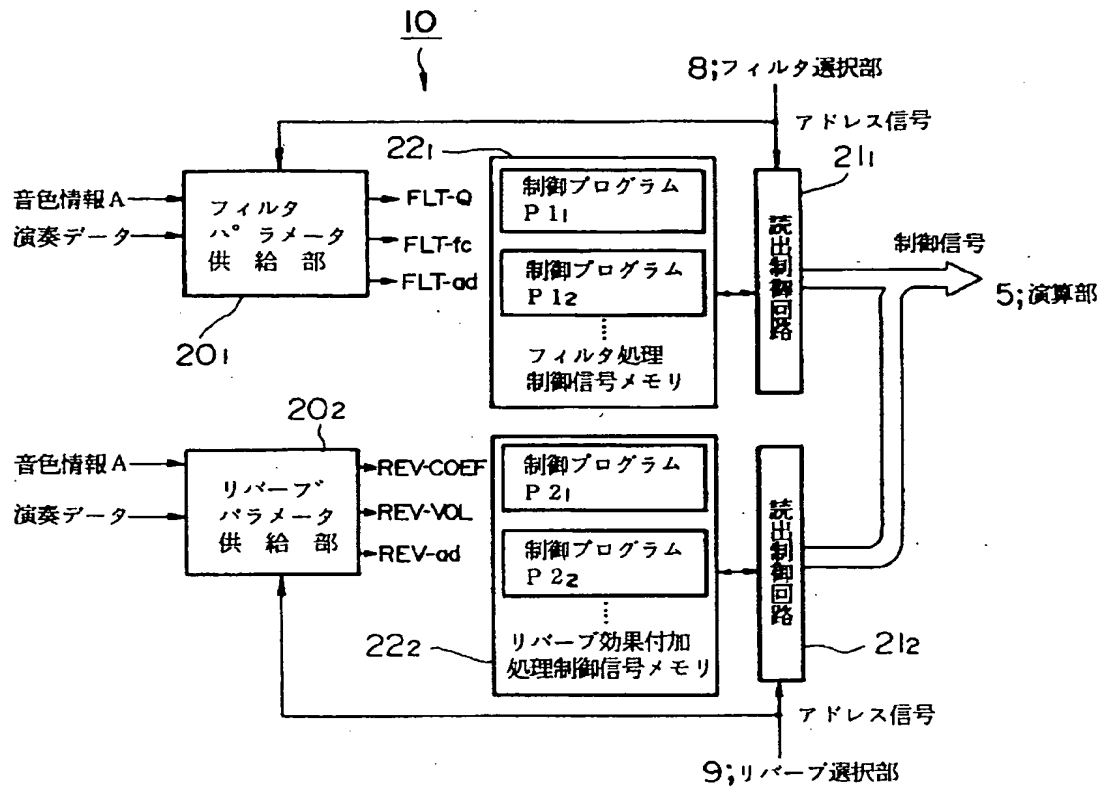
【図11】 演算ユニットBを演算する場合の演算部5の制御内容を示すタイムテーブルである。

【符号の説明】

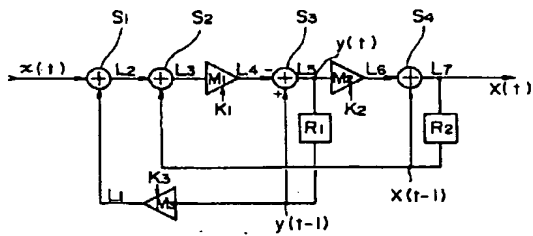
221……フィルタ処理信号メモリ、222……リバース効果付加処理制御信号メモリ(第1の記憶手段)、211、212……読出制御回路(読出手段)、51~54……セクタ(選択器)、57……全加算器、58……乗算器(演算器)、D1~D9、3D……遅延素子

[illegible]

【図2】



【図4】

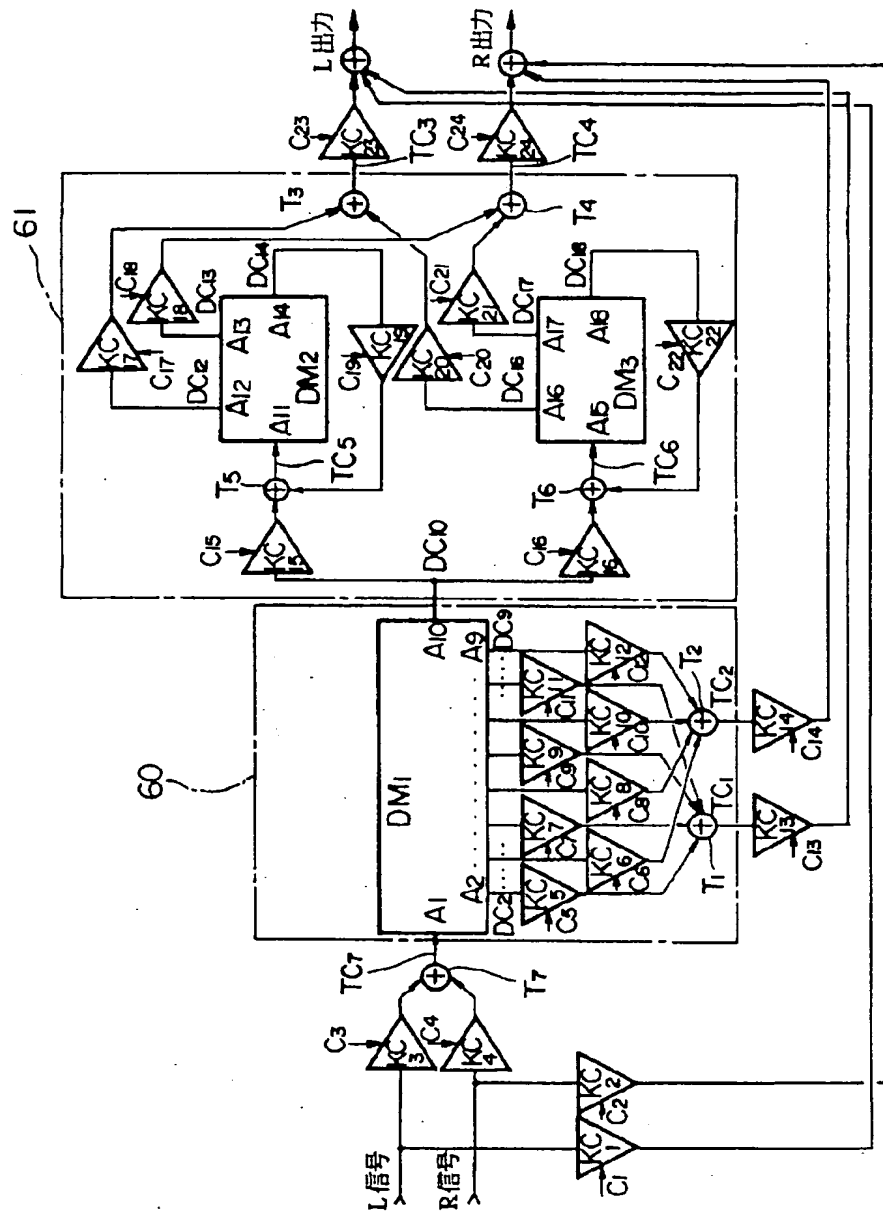


The diagram shows a digital signal processing circuit. On the left, there are two registers: a 'フィルタレジスタ' (Filter Register) labeled 55 and a 'リバースレジスタ' (Reverse Register) labeled 56. Both have 'データ入力' (Data Input) and 'データ出力' (Data Output) ports. The Filter Register's output is connected to a 4-bit selector (51) and a delay element (D8). The Reverse Register's output is connected to a 4-bit selector (52) and a delay element (D5). The selectors 51 and 52 output to an adder (57). The adder's output is connected to a delay element (D2) and a multiplier (58). The multiplier's output is connected to a delay element (D6) and the input of the Filter Register. The circuit also includes a feedback loop with a delay element (D7) and a summing junction (59). The final output is REV-OUT. The circuit is controlled by a SUB signal and a REV-IN signal.

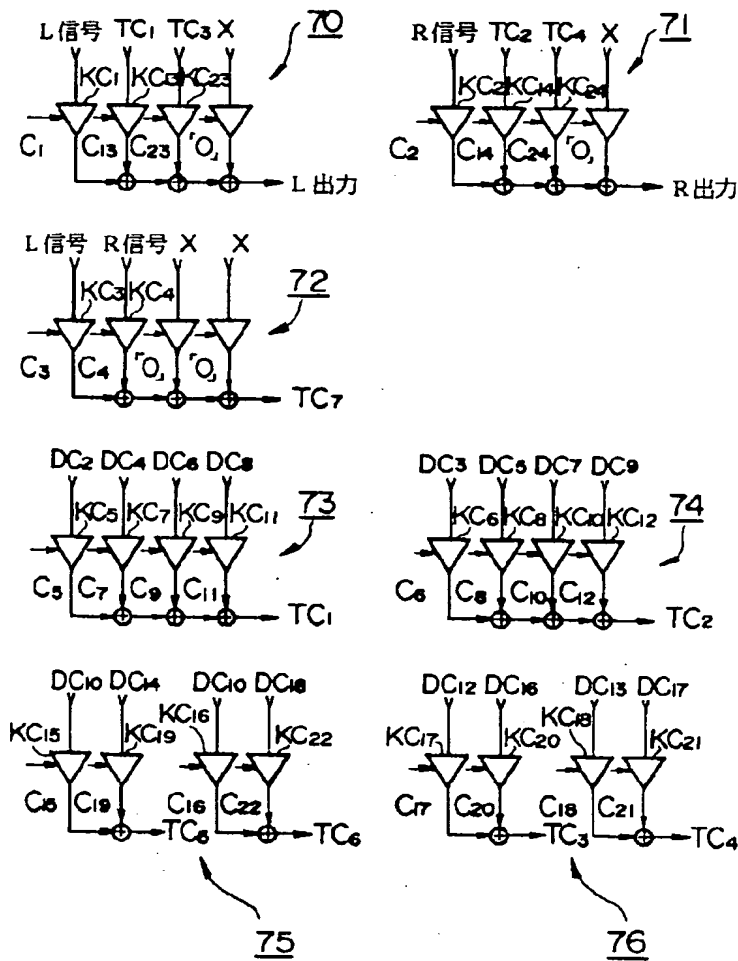
CLOCK	0								1								2							
	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
セレクト 5 1						B			B		B		B											
セレクト 5 2					/				D		C		C											
全加算器 5 7 の動作						X			X		X		X											
セレクト 5 3			D			D		D	D															
セレクト 5 4		C			C		C		C															
乗算器 5 8 の動作			X			X		X	X															
リフレッシャ 5 6 の R _W 指示	R				R		R		R								W							

- 17 -

【図5】



【図6】

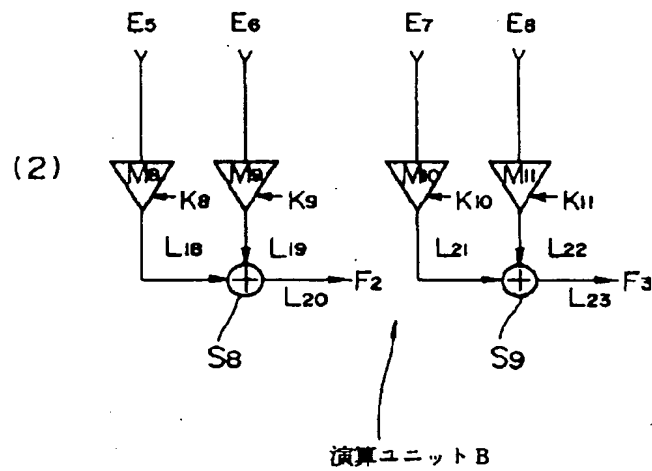
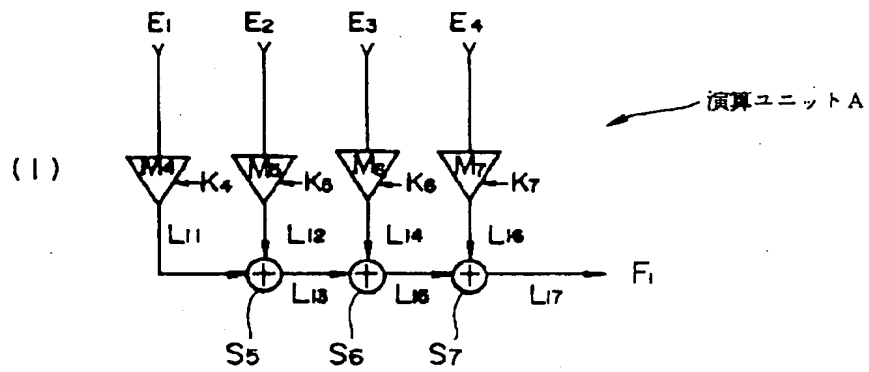


【図11】

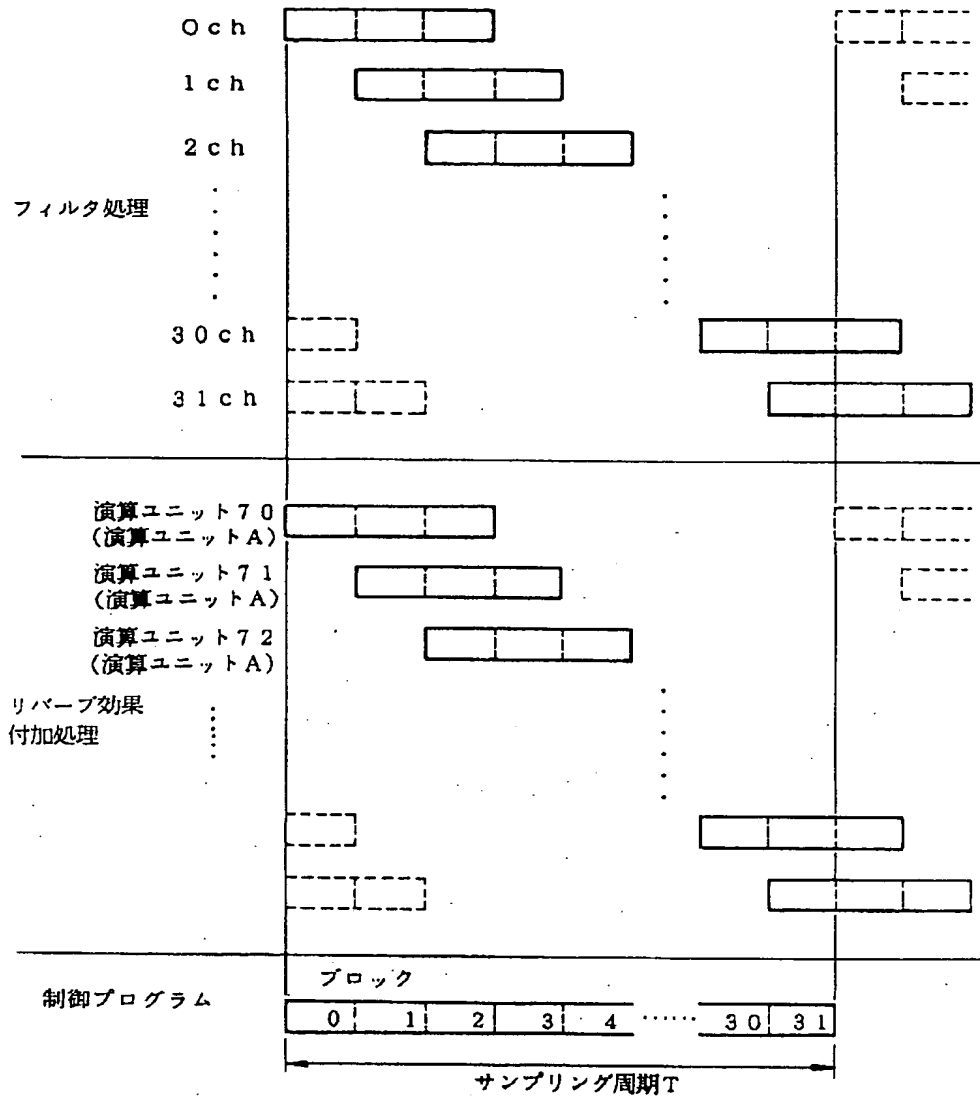
CLOCK	0							1							2									
	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
セクタ5 1						B			B		B		B											
セクタ5 2						/			D		/		C											
全加算器5 7の動作							X			X		X		X										
セクタ5 3			D			D		D		D														
セクタ5 4		C			C		C	C	C															
乗算器5 8の動作			X			X		X	X															
リフトレジスタ5 6のR/W指示	R				R		R		R			W				W								

Xは演算器を使用していることを示す
/ 未選択

【図7】



【図8】



【図9】

(a)

	0							1							2									
	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
セクタ 5 1								C		A					-B					B				
セクタ 5 2								B		A					A					A				
全加算器 5 7 の動作								X		X						X					X			
セクタ 5 3					C							B					B							
セクタ 5 4				A							B					B								
乗算器 5 8 の動作					X						X						X							
レジスタ 5 5 の R/W 指示				R					R					R				W	R					W

- B : SUB「1」

(b)

	0							1	31
	0	1	2	3	4	5	6	7		
セレクト5 1		A		B			-B	C		
セレクト5 2		A		A			A	B		
全加算器5 7の動作	X		X		X			X		
セレクト5 3	B			B	C					
セレクト5 4			B	A				B		
乗算器5 8の動作	X			X	X					
レジスタ5 5のRW指示	R	W	R	R		R	W			